Wafer Scale DSE调研：4.9-4.13

Scale-Out Packageless Processing

多种chiplet组合成一个系统：core+L1, L2, L3, accelerator，在指定benchmark下的最优解

没有说明为什么这些chiplet是最合适的选择

Theseus: Exploring Efficient Wafer-Scale Chip Design for Large Language Models

用自动RTL生成工具，从软件负载生成RTL代码，然后评估面积功耗等

评估Noc时，使用analytical model做粗粒度评估，GNN做细粒度评估

通过限制迭代次数控制搜索时间，不能保证最优解或者给出置信度

Floor-plan调研：4.14-4.15

Floorplanning与我们的设计没有太大关系，因为我们的设计中，die在晶圆上的排列方式是固定的，而floorplan要面临的是多种组件复杂的排布方式

芯片架构开发的实际情况（晶圆级架构） && 快速开发的意义:4.16-4.20

确定前端架构需要6个月左右，

Scale-Out Packageless Processing：128种计算核，M种HBM，N种NOC，每次评估0.5h，那么遍历全部解空间需要64MN个小时

架构修正：计算核的SRAM 4.21

2.5D封装带来的计算核带宽限制4.22-4.27

负载分析：完善其对数据并行、模型并行、流水并行、重计算、kv-cache的支持：4.28-5.11

Simulator调研，找到合适的高精度仿真器:5.12-5.18

实验：多组硬件参数X多种软件负载的仿真：5.26-6.8

Abalation study

文字部分：6.9-6.15

绘图：6.16-6.22

寻找精度-可信度的数学解释